

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(citation 3)

Japanese Utility Model Laid-Open Publication No. H4-93,157

Publication Date: August 13, 1992

Application No. H2-128,765 filed November 29, 1990

Inventor: Tatsuya TAZAWA

Applicant: Yamagata Nihon Denki K.K.

Title of the invention: Semiconductor Apparatus

(Claim 1)

A semiconductor apparatus wherein a semiconductor element is connected to outer lead terminals (2) through fine metal wires (1), characterized in that each of said outer lead terminals is formed with a plurality of indents (5) in a surface to form a metal-to-metal contact with the fine metal wire.

(Abridgment of the description)

Fig. 3 is a sectional view showing connection between a fine metal wire 1 and an outer lead terminal 2 in a prior art semiconductor apparatus. A metal plating layer 3 is formed on the outer lead terminal 2. Indicated at 4 is a eutectic alloy layer formed when the fine metal wire 1 is connected to the metal plating layer 3. In this case, the outer lead terminal 2 has a planar top surface, and the connection surface between the fine metal wire 1 and the metal plating layer 3, which are ultrasonically or thermally bonded together, is also planar. Therefore, the thickness of the metal plating layer 3 largely affects the bonding strength.

Fig. 1 shows a sectional view of one embodiment of the claimed semiconductor apparatus. A plurality of recesses or indents 5 are formed in the top surface of the outer lead terminal 2. The outer lead terminal 2 is then plated with a conforming metal plating layer 3, and then ultrasonically or thermally bonded with the fine metal wire 1. According to the claimed invention, the area of the bonding surface between the fine metal wire 1 and the metal plating layer 3 substantially enlarged, resulting in a greater mechanical strength.

⑫ 公開実用新案公報 (U) 平4-93157

⑬ Int. Cl.⁴

H 01 L 23/50
21/60

識別記号

3 0 1 S
B

庁内整理番号

8418-4M
6918-4M

⑭ 公開 平成4年(1992)8月13日

審査請求 未請求 請求項の数 1 (全1頁)

⑮ 考案の名称 半導体装置

⑯ 実 願 平2-128765

⑰ 出 願 平2(1990)11月29日

⑱ 考 案 者 田 澤 辰 也 山形県山形市北町4丁目12番12号 山形日本電気株式会社
内

⑲ 出 願 人 山形日本電気株式会社 山形県山形市北町4丁目12番12号

⑳ 代 理 人 弁理士 内 原 晋

㉑ 実用新案登録請求の範囲

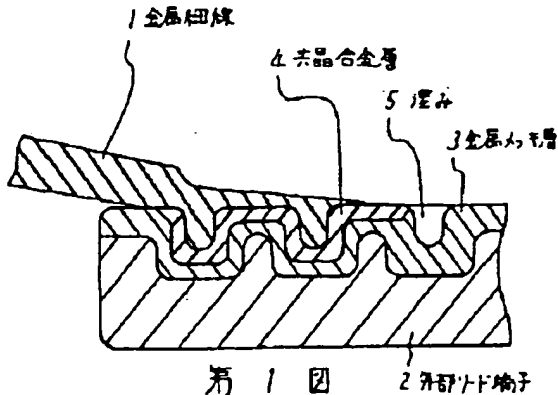
半導体素子と外部リード端子が金属細線を介して接続される半導体装置において、前記外部端子の金属細線との金属結合面に複数個の窪みが形成されていることを特徴とする半導体装置。

図面の簡単な説明

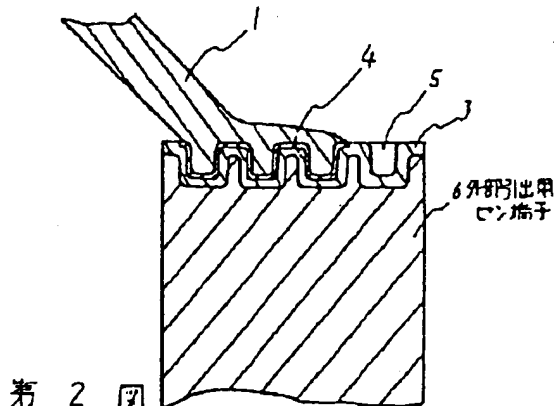
第1図は本考案の一実施例を示す金属細線と外部リード端子との間の接合断面図、第2図は本考

案の他の実施例を示す金属細線と外部引出用ピン端子との間の接合断面図、第3図は従来の半導体層置における金属細線と外部リード端子との間の接合断面図である。

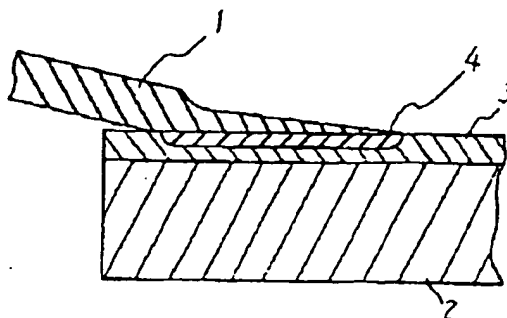
1……金属細線、2……外部リード端子、3……金属メッキ層、4……共晶合金層、5……窪み、6……外部引出用ピン端子。



第 1 図



第 2 図



第 3 図

考案の詳細な説明

〔産業上の利用分野〕

本考案は半導体装置に関し、特に半導体素子と外部リード端子が金属細線で接続されている半導体装置に関する。

〔従来の技術〕

第3図は従来の半導体装置における金属細線と外部リード端子との間の接合状態を示す断面図であって、従来の半導体装置では外部リード端子2

の金属細線 1 との接合面は単純な平面に形成される。ここで、3 および 4 は外部リード端子 2 の金属接合面に施された金属メッキ層および金属細線 1 との接合の際生成された共晶合金層をそれぞれ示す。

〔考案が解決しようとする課題〕

このように、従来の半導体装置では、金属細線 1 との接合には平坦な外部リード端子 2 を用い、金属細線 1 と金属メッキ層 3 との間に超音波圧着又は熱圧着を加えて共晶合金層 4 を接合面に生成させているのが通常である。この為、金属メッキ層 3 の厚さが薄い、または全くないかによって接合面の接合強度が著しく影響されるという欠点がある。

本考案の目的は、上記の状況に鑑み、外部リード端子上に施される金属メッキ層の有無に関係なく金属細線との間に大きな接合強度を保持し得る外部リード端子構造を備えた半導体装置を提供することである。

〔課題を解決するための手段〕

本考案によれば、半導体素子と外部リード端子が金属細線を介して接続される半導体装置は、前記外部端子の金属細線との金属結合面に複数の窪みが形成されていることを含んで構成されている。

〔実施例〕

以下図面を参照して本考案を詳細に説明する。

第1図は本考案の一実施例を示す金属細線と外部リード端子との間の接合断面図である。本実施例によれば、外部リード端子2の金属細線1との接合面には複数の窪み5が配列され金属メッキ層3を介して金属細線1と超音波圧着または熱圧着される。

ここで、4はこの際生成される共晶合金層である。本実施例では、リード・フレーム上に予かじめディンプル加工が施される。これにより、金属細線1と外部リード端子2との間の接合面積が実質上拡大されるため、接合面の機械的強度を著しく向上せしめることができる。そして、この機械的強度は金属メッキ層3の大小、またはその有無

に特に関係しないという利点をもつ。

第2図は本考案の他の実施例を示す金属細線と外部引出用ピン端子との間の接合断面図である。本実施例によれば、半導体装置の外部端子がピン端子である場合が示されており、外部引出用ピン端子6の金属細線1との接合面には前実施例と同様に複数個の窪み5が形成されている状態が明らかにされている。ここで、3および4は前実施例の場合と同じく金属メッキ層および生成された共晶合金層をそれぞれ示す。本実施例においても金属細線4とピン端子6との間の接合面積が実質上拡大されるので、接合面の機械的強度を金属メッキ厚の大小、またはその有無に関係なく格段に向上させることができる。

〔考案の効果〕

以上詳細に説明したように、本考案によれば、外部端子の金属細線との接合面に微小なディンプル加工を施すだけで、金属細線と外端端子との接合強度が従来より格段に向上させることができるので、半導体装置の信頼性向上に顕著な効果をあ

げることができる。